

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
PARIS

①1 N° de publication :
(à n'utiliser que pour les
commandes de reproduction)

2 763 416

②1 N° d'enregistrement national : 98 06174

⑤1 Int Cl⁶ : G 09 G 3/18

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 15.05.98.

③0 Priorité : 17.05.97 KR 09719142.

④3 Date de mise à la disposition du public de la
demande : 20.11.98 Bulletin 98/47.

⑤6 Liste des documents cités dans le rapport de
recherche préliminaire : *Ce dernier n'a pas été
établi à la date de publication de la demande.*

⑥0 Références à d'autres documents nationaux
apparentés :

⑦1 Demandeur(s) : LG ELECTRONICS INC SOCIETE DE
DROIT COREEN — KR.

⑦2 Inventeur(s) : AHAN GIL BUM.

⑦3 Titulaire(s) :

⑦4 Mandataire(s) : CABINET HIRSCH.

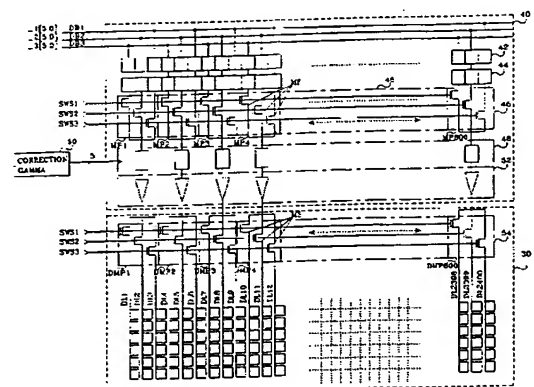
⑤4 CIRCUIT D'ATTAQUE POUR PANNEAU D'AFFICHAGE A CRISTAUX LIQUIDES DE TYPE NUMERIQUE.

⑤7 Le circuit d'attaque de panneau d'affichage à cristaux
liquides de type numérique, comprend une matrice de mul-
tiplexeur pour sélectionner k données numérique d'élément
d'image, à partir de n données numériques d'élément d'ima-
ge. Il comporte :

- une matrice de convertisseur numérique-analogique
(48) pour convertir les k données numérique d'élément
d'images provenant de la matrice de multiplexeur (46) en k
signaux analogique d'éléments d'image; et

- une matrice de démultiplexeur (54) reliée aux lignes n
de données (DL1 à DL2400) pour sélectionner k des n li-
gnes de données.

Application à un circuit d'attaque de panneau d'afficha-
ge à puissance instaurée réduite.



FR 2 763 416 - A1



**CIRCUIT D'ATTAQUE POUR PANNEAU D'AFFICHAGE A CRISTAUX
LIQUIDES DE TYPE NUMERIQUE**

La présente invention concerne un dispositif d'affichage utilisant un panneau à cristaux liquides et en particulier un circuit d'attaque pour panneau d'affichage à cristaux liquides numériques pour attaquer le panneau à cristaux liquides avec un signal d'image numérique.

Depuis quelque temps, on note dans les milieux de l'imagerie, une tendance vers l'utilisation de signaux numériques d'image à la place des signaux analogiques d'image. Les signaux numériques d'image peuvent être comprimés de manière plus aisée, en fournissant une image de haute résolution à l'observateur. Il en résulte qu'il devenait souhaitable que les afficheurs à cristaux liquides soient attaqués par des signaux analogiques d'image ainsi que par des signaux numériques d'image. En conséquence, le circuit d'attaque pour le panneau d'affichage à cristaux liquides a été configuré pour être adaptable pour attaquer des éléments d'image ou des pixels dans un panneau à cristaux liquides qui requièrent un signal analogique. Il en résulte que les circuits d'attaque pour afficheur à cristaux liquides de type analogique coexistent actuellement avec des circuits d'attaque pour afficheur à cristaux liquides de type numérique.

De tels circuits d'attaque pour panneau d'affichage à cristaux liquides sont en mesure d'appliquer avec précision une tension correspondant à un signal d'image à chaque élément d'image dans le panneau d'affichage à cristaux liquides pendant un temps suffisant. A cette fin, dans le circuit d'attaque pour panneau d'affichage à cristaux liquides de type analogique, a été décrit dans la publication de brevet japonais non examiné numéro 7-181933, publiée le 21 juillet 1995 et déposé par Casio Co., Ltd. l'alternative d'attaquer séquentiellement l'élément d'image dans un intervalle balayé horizontal par au moins deux unités de taille constante. Dans cette

publication japonaise, un circuit d'attaque de panneau d'affichage à cristaux liquides de type analogique retarde un signal d'image au moyen d'un dispositif de retard et applique séquentiellement le signal d'image aux éléments d'image s'étendant depuis le centre de la ligne horizontale jusqu'à l'extrémité de droite de celle-ci pendant que le signal d'image non retardé est appliqué aux éléments d'image s'étendant depuis l'extrémité de gauche de la ligne horizontale jusqu'au centre de celle-ci. Un tel circuit d'attaque de panneau d'affichage à cristaux liquides de type analogique pouvait assurer un temps d'application du signal suffisant pour chacun des éléments d'image même lorsqu'il attaquait séquentiellement les éléments d'image dans la ligne horizontale grâce aux deux unités parce qu'il utilisait le signal analogique d'image lui-même en tant que tension d'attaque. Par ailleurs, un circuit d'attaque de panneau d'affichage à cristaux liquides de type numérique ne peut pas assurer une durée d'application de signal suffisante pour chacun des éléments d'image par un schéma d'attaque pour panneau d'affichage à cristaux liquides de type analogique tel que décrit dans la publication japonaise, compte tenu du fait qu'il requiert du temps pour convertir le signal numérique d'image en un signal analogique d'image. Par conséquent, le circuit d'attaque pour panneau d'affichage à cristaux liquides de type numérique est configuré pour attaquer les éléments d'image en une ligne horizontale comme le montre la figure 1.

En référence à la figure 1, un panneau d'affichage à cristaux liquides 10 comprend 2400 lignes de données DL1 à DL2400 reliées à 600 éléments d'image agencés en direction horizontale, respectivement. Un circuit d'attaque 20 pour attaquer un nombre égal à 600 x 2400 éléments d'image dans le panneau d'affichage à cristaux liquides 10 comprend une première matrice de mémorisation 22 reliée au premier à troisième bus de données DB1 à DB3, une deuxième matrice de mémorisation 24 reliée en cascade à la première matrice de mémorisation 22, une matrice de convertisseur numérique-analogique (N-A) 26, et une matrice d'amplificateur de sortie 28. Les première et deuxième matrices de mémorisation 22 et 24 comportent chacune 2400 registres à verrouillage. Les 2400 registres à verrouillage compris dans la première matrice de mémorisation 22 sont divisés en trois unités de 800 registres à verrouillage chacune, les unités étant reliées séparément au premier à troisième bus de données DB1 à DB3. En outre, les 2400 registres à verrouillage compris dans la première matrice de mémorisation 22 sont attaqués séquentiellement pour les trois unités afin d'appliquer un signal d'entrée aux éléments d'image rouges (R), verts (V) et bleus (B) pour une seule ligne horizontale depuis le premier à troisième bus de données DB1 à DB3. Entre temps les 2400 registres à verrouillage compris dans la deuxième matrice de mémorisation 24 reçoivent des données d'éléments d'image des 2400 registres à verrouillage dans la

première matrice de mémorisation 22 et les transmettent à la matrice 26 de convertisseur numérique-analogique.

En correspondance, la matrice de convertisseur numérique-analogique 26 convertit toutes les données d'éléments provenant de la deuxième matrice de mémorisation 24 en signaux d'éléments d'image et applique les 2400 signaux d'éléments d'image convertis à la matrice d'amplificateur de sortie 28. A cette fin, la matrice de convertisseur numérique-analogique 26 se compose de 2400 convertisseurs numérique-analogique appliquant en commun un certain nombre (par exemple 5) de signaux de source de convertisseur depuis une partie de correction gamma non illustrée. Ces 2400 convertisseurs numérique-analogique respectifs génèrent des signaux d'éléments d'image en ajoutant une partie ou la totalité des signaux de source de convertisseur selon une valeur logique des données d'éléments d'image du registre à verrouillage correspondant dans la deuxième matrice de mémorisation 24.

Enfin, la matrice d'amplificateur de sortie 28 amplifie les 2400 signaux d'éléments d'image provenant de la matrice de convertisseur numérique-analogique 26 sous un rapport d'amplification constant, et applique de manière distributive les 2400 signaux d'image amplifiés aux 2400 lignes de données DL1 à DL2400 du panneau d'affichage à cristaux liquides 10. Dans ce but, la matrice d'amplificateur de sortie 28 comprend également 2400 amplificateurs de sortie qui sont reliés de manière distributive aux 2400 convertisseurs numérique-analogique dans la matrice de convertisseur numérique-analogique 26, respectivement.

Comme décrit ci-dessus, le circuit d'attaque de panneau d'affichage à cristaux liquides de type numérique conventionnel peut assurer un temps d'application de signaux suffisant pour chacun des éléments d'image en attaquant simultanément les éléments d'image pour une ligne horizontale dans le panneau d'affichage à cristaux liquides. Cependant, dans le circuit d'attaque de panneau d'affichage à cristaux liquides de type numérique conventionnel, puisque le circuit utilise des convertisseurs numérique-analogique et des amplificateurs de sortie pour répondre respectivement au nombre d'éléments d'image compris dans la ligne horizontale du panneau d'affichage à cristaux liquides, le circuit de configuration de celui-ci est non seulement compliqué mais en outre de taille importante. De même, dans le circuit d'attaque de panneau d'affichage à cristaux liquides de type numérique conventionnel, un nombre élevé de convertisseurs numérique-analogique et d'amplificateurs de sortie doit être attaqué de manière simultanée, gaspillant ainsi de la puissance instantanée.

En conséquence, un objet de la présente invention consiste à proposer un circuit d'attaque de panneau d'affichage à cristaux liquides, qui présente une configuration de circuit simplifiée qui réduise le gaspillage de puissance instantanée.

Un autre objet de la présente invention consiste à proposer un courant d'attaque de panneau d'affichage à cristaux liquides qui puisse réduire le nombre de lignes conductrices dans le panneau à cristaux liquides. A ce effet, selon l'invention, le circuit d'attaque de panneau d'affichage à cristaux liquides de type numérique, comprend :

- une matrice de multiplexeur pour sélectionner k données d'élément d'image numérique à partir de n données d'élément d'image numérique ;
- une matrice de convertisseur numérique-analogique pour convertir les k données d'élément d'image numérique provenant de la matrice de multiplexeur en k signaux d'éléments d'image analogique ; et
- une matrice de démultiplexeur reliée aux lignes de données pour sélectionner k des n lignes de données et pour transférer les k signaux d'élément d'image analogique depuis le convertisseur numérique-analogique pour les k lignes de données sélectionnées.

Le circuit d'attaque peut comprendre en outre :

- un panneau d'affichage à cristaux liquides ayant n lignes de données agencées en parallèle en direction horizontale, lesdites n lignes de données étant reliées en commun à m éléments d'image agencés en direction verticale. La matrice de démultiplexeur est chargée dans ledit panneau d'affichage à cristaux liquides.

Le circuit d'attaque peut encore comprendre une matrice de dispositif de stockage pour stocker temporairement n données d'élément d'image numérique entrées dans cette matrice et pour entrer les n données d'élément d'image numérique dans la matrice de multiplexeur.

Le circuit d'attaque comprend en outre une matrice d'amplificateur de sortie prévue entre ladite matrice de convertisseur numérique-analogique et la matrice de démultiplexeur. La matrice de multiplexeur et la matrice de démultiplexeur comprennent des transistors MOS. La durée de sélection de la matrice de démultiplexeur est égale à k divisé par n.

Le procédé selon l'invention, pour attaquer un panneau d'affichage à cristaux liquides de type numérique, comprend les étapes de :

- sélection de k données numérique d'élément d'image à partir de n données numériques d'éléments d'image ;
- conversion des k données numérique d'élément d'image provenant de la matrice de multiplexeur en k signaux analogique d'élément d'image ;
- sélection de k des n lignes de données ; et

- transfert des k signaux analogique d'élément d'image depuis le convertisseur numérique-analogique vers les k lignes de données sélectionnées.

Il comprend en outre les étapes de :

- stockage temporaire des n données numérique d'élément d'image ;
- entrée des n données numérique d'élément d'image dans la matrice de multiplexeur ; et
- amplification de la sortie du convertisseur numérique-analogique.

L'étape de sélection de k parmi n lignes de données comprend l'étape de :

- sélection de k parmi n lignes de données en un temps égal à k divisé par n.

D'autres caractéristiques et avantages de l'invention apparaîtront à la lecture de la description qui suit de modes de réalisation de l'invention donnés à titre d'exemples non limitatifs en référence aux dessins annexés dans lesquels :

la figure 1 montre une configuration d'un dispositif d'affichage à cristaux liquides utilisant un circuit d'attaque de panneau d'affichage à cristaux liquides conventionnel pour un signal d'image numérique ;

la figure 2 montre une configuration d'un dispositif d'affichage à cristaux liquides utilisant un circuit d'attaque de panneau d'affichage à cristaux liquides de type numérique, conformément à un mode de réalisation de la présente invention ; et

la figure 3 est un chronogramme de fonctionnement de chacune des parties du circuit d'attaque montré sur la figure 2.

On se réfère à la figure 2 qui montre un dispositif d'affichage à cristaux liquides comprenant un circuit d'attaque de panneau d'affichage à cristaux liquides de type numérique, conformément à un mode de réalisation de la présente invention. A la figure 2, le dispositif d'affichage à cristaux liquides comprend un circuit d'attaque 40 de panneau d'affichage à cristaux liquides relié à un panneau d'affichage à cristaux liquides 30. Le panneau d'affichage à cristaux liquides 30 comprend 2400 lignes de données DL1 à DL2400 qui sont reliées en commun à 600 éléments d'image agencés en direction verticale, respectivement.

Le circuit d'attaque 40 pour attaquer 600 x 2400 éléments d'image dans le panneau d'affichage à cristaux liquides 30 comprend une première matrice de mémorisation 42 reliée à un premier à troisième bus de données DB1 à DB3, une deuxième matrice de mémorisation 44 reliée en cascade à la première matrice de mémorisation 42, une matrice de multiplexeur 46 et une matrice de convertisseur numérique-analogique 48. Les première et deuxième matrices de mémorisation 42 et 44 sont chacune composées de 2400 registres à verrouillage. Les 2400 registres à verrouillage compris dans la première matrice de mémorisation 42 sont divisés en trois unités de 800 registres à verrouillage chacune, les unités étant reliées séparément au premier à troisième bus de données DB1 à DB3. En outre, les 2400

registres à verrouillage compris dans la première matrice de mémorisation 42 sont attaqués séquentiellement pour les trois unités pour recevoir les données des éléments d'image R, V et B pour une ligne horizontale des premier à troisième bus de données DB1 à DB3. Pendant ce temps, les 2400 registres à verrouillage compris dans la deuxième matrice de mémorisation 44 reçoivent simultanément les données d'éléments d'image des 2400 registres à verrouillage dans la première matrice de mémorisation 42 et transmettent les mêmes à la matrice de multiplexeur 46, respectivement.

La matrice de multiplexeur 46 divise les 2400 données d'éléments d'image provenant de la deuxième matrice de mémorisation 44 en trois unités de 800 registres à verrouillage chacune et transmet ces données à une matrice de convertisseur numérique-analogique 48 trois fois. Dans ce but, la matrice de multiplexeur 46 est composée de 800 multiplexeurs MP1 à MP800 pour recevoir les premier à troisième signaux de commande de commutation SWS1 à SWS3 provenant des première à troisième lignes de commande SL1 à SL3, respectivement. Chacun de ces 800 multiplexeurs transfère des données d'éléments d'image depuis les trois registres à verrouillage dans la deuxième matrice de mémorisation 44 séquentiellement à la matrice de convertisseur numérique-analogique 48 en utilisant les premier à troisième signaux de commande de commutation SWS1 à SWS3. Les premier à troisième signaux de commande de commutation SWS1 à SWS3 présentent séquentiellement la valeur logique de "1" pendant une période horizontale comme le montre la figure 3.

Chacun des 800 multiplexeurs MP1 à MP800 est composé de trois groupes de transistors MOS MF pour entrer de manière distributive les premier à troisième signaux de commande de commutation SWS1 à SWS3 au niveau des grilles de ceux-ci. Toutefois, il est à noter qu'il devrait y avoir trois groupes de cinq transistors MOS MF (pour un total de 15 transistors MOS MF) dans le cas de données d'éléments d'image à 5 bits. Les sources de ces trois groupes de transistors MOS MF compris dans un multiplexeur MP unique sont reliées aux trois registres à verrouillage compris dans la seconde matrice de mémorisation 44 respectivement, alors que les drains des trois groupes de transistors MOS sont reliés en commun par rapport à chaque bit des données des éléments d'image.

En outre, les trois groupes de transistors MOS MF compris dans un multiplexeur MP unique sont mis sous tension séquentiellement pendant un intervalle horizontal au moyen des premier à troisième signaux de commande de commutation SWS1 à SWS3 pour transférer les données d'éléments d'image depuis le registre à verrouillage correspondant dans la deuxième matrice de mémorisation 44 vers la matrice de convertisseur numérique-analogique 48. De façon

correspondante, la matrice de convertisseur numérique-analogique 48 convertit la totalité des 800 données d'éléments d'image de la matrice de multiplexeur 46 en signaux d'éléments d'image. Dans ce but, la matrice de convertisseur numérique-analogique 48 est constituée de 800 convertisseurs numérique-analogique destinés à recevoir en commun un nombre constant (par exemple au moins 5) de signaux de source de convertisseurs depuis une partie de correction gamma 50. Chacun de ces 800 convertisseurs numérique-analogique convertit les données des éléments d'image en signaux d'éléments d'image analogiques en ajoutant sélectivement soit une partie, soit la totalité d'un certain nombre de signaux de source de convertisseur provenant de la partie de correction gamma 50 selon une valeur logique des données des éléments d'image provenant du multiplexeur MP correspondant. Il en résulte que chacun des 800 convertisseurs numérique-analogique convertit trois données d'éléments d'image en signaux d'éléments d'image analogiques pendant un seul intervalle de balayage horizontal.

Le circuit d'attaque 40 comprend également une matrice d'amplificateur de sortie 52 et une matrice de démultiplexeur 54 qui sont reliées en série entre la matrice de convertisseur numérique-analogique 48 et les lignes de données DL1 à DL2400 du panneau d'affichage à cristaux liquides 30. La matrice d'amplificateur de sortie 52 amplifie les 800 signaux d'éléments d'image provenant de la matrice de convertisseur numérique-analogique 48 avec un certain rapport d'amplification et transmet en sortie les 800 signaux d'éléments d'image amplifiés vers la matrice de démultiplexeur 54. Dans ce but, la matrice d'amplificateur de sortie est également constituée de 800 amplificateurs de sortie reliés de manière distributive aux 800 convertisseurs numérique-analogique de la matrice de convertisseur numérique-analogique 48. Enfin, la matrice de démultiplexeur 54 transfère séquentiellement les 800 signaux d'éléments d'image amplifiés depuis la matrice d'amplificateur de sortie 52 sur les 2400 lignes de données DL1 à DL2400 trois fois. Dans ce but, la matrice de démultiplexeur 54 est constituée de 800 démultiplexeurs DMP1 à DMP800 destinés à recevoir les premier à troisième signaux de commande de commutation SWS1 à SWS3 provenant des première à troisième lignes de commande SL1 à SL3 respectivement.

Chacun de ces 800 démultiplexeurs DMP1 à DMP800 transfère séquentiellement les signaux d'éléments d'image provenant de la matrice d'amplificateur de sortie 52 vers trois lignes de données DL au moyen des premier à troisième signaux de commande de commutation SWS1 à SWS3 ayant une valeur logique de "1" séquentiellement pendant un intervalle horizontal, comme le montre la figure 3. Dans ce but, chacun des 800 démultiplexeurs DMP1 à DMP800 est constitué de trois transistors MOS MS destinés à recevoir de manière distributive des

premier à troisième signaux de commande de commutation SWS1 à SWS3 au niveau de sa grille. Les sources des trois transistors MOS MS compris dans un démultiplexeur DMP unique sont reliées en commun aux bornes de sortie d'un amplificateur de sortie compris dans la matrice d'amplificateur de sortie 52 et leurs drains sont reliés de manière distributive aux trois lignes de données DL. En outre, les transistors MOS MS compris dans un démultiplexeur DMP sont rendus passants séquentiellement pendant un intervalle horizontal au moyen des premier à troisième signaux de commande de commutation SWS1 à SWS3 appliquant ainsi de manière distributive l'amplificateur de sortie correspondant, compris dans la matrice d'amplificateur de sortie 52 aux trois lignes de données DL.

Comme décrit ci-dessus, le circuit d'attaque de panneau à cristaux liquides de type numérique selon la présente invention peut réduire le nombre de convertisseurs numérique-analogique et d'amplificateurs de sortie en la moitié ou un tiers du nombre de lignes de données, en fournissant la matrice de multiplexeur entre la matrice de mémorisation destinée à stocker temporairement les données d'éléments d'image pour une ligne et la matrice de convertisseur numérique-analogique destinée à convertir les données de l'élément d'image en un signal de l'élément d'image, et en fournissant le démultiplexeur entre la matrice d'amplificateur de sortie et les lignes de données du panneau d'affichage à cristaux liquides. Ainsi, le circuit d'attaque de panneau à cristaux liquides de type numérique selon la présente invention, non seulement simplifie la configuration du circuit, mais réduit également la quantité de puissance instantanée gâchée. Il réduit également le nombre de lignes conductrices dans le panneau d'affichage à cristaux liquides en montant le démultiplexeur dans le panneau d'affichage à cristaux liquides.

Bien que la présente invention a été expliquée par les modes de réalisation illustrés sur les dessins annexés, la présente invention n'est pas limitée aux exemples et modes de réalisation décrits et représentés, mais elle est susceptible de nombreuses variantes accessibles à l'homme de l'art.

REVENDECATIONS

1.- Circuit d'attaque de panneau d'affichage à cristaux liquides de type numérique, comprenant :

- une matrice de multiplexeur (46) pour sélectionner k données d'élément d'image numérique à partir de n données numériques d'élément d'image ;
- une matrice de convertisseur numérique-analogique (48) pour convertir les k données numériques d'élément d'image provenant de la matrice de multiplexeur (46) en k signaux analogiques d'élément d'image ; et
- une matrice de démultiplexeur (54) reliée aux n lignes de données pour sélectionner k des n lignes de données et pour transférer les k signaux analogiques d'élément d'image depuis le convertisseur numérique-analogique (48) sur les k lignes de données sélectionnées.

2.- Circuit d'attaque de panneau d'affichage à cristaux liquides de type numérique selon la revendication 1, comprenant en outre :

- un panneau d'affichage à cristaux liquides (30) ayant n lignes de données agencées en parallèle en direction horizontale, lesdites n lignes de données étant reliées en commun à m éléments d'image agencés en direction verticale.

3.- Circuit d'attaque de panneau d'affichage à cristaux liquides de type numérique selon l'une quelconque des revendications précédentes 1 ou 2, dans lequel ladite matrice de démultiplexeur (54) est chargée dans ledit panneau d'affichage à cristaux liquides (30).

4.- Circuit d'attaque de panneau d'affichage à cristaux liquides de type numérique selon l'une quelconque des revendications précédentes 1 à 3, comprenant en outre :

- une matrice de dispositif de stockage pour stocker temporairement n données d'élément d'image numérique entrées dans cette matrice et pour faire entrer les n données d'élément d'image numérique dans la matrice de multiplexeur (54).

5.- Circuit d'attaque de panneau d'affichage à cristaux liquides de type numérique selon l'une quelconque des revendications précédentes 1 à 4, comprenant en outre :

- une matrice d'amplificateur de sortie (52) prévue entre ladite matrice de convertisseur numérique-analogique (48) et la matrice de démultiplexeur (54).

6.- Circuit d'attaque de panneau d'affichage à cristaux liquides de type numérique selon l'une quelconque des revendications précédentes 1 à 5, dans lequel

la matrice de multiplexeur (46) et la matrice de démultiplexeur (54) comprennent des transistors MOS.

7.- Circuit d'attaque de panneau d'affichage à cristaux liquides de type numérique selon l'une quelconque des revendications précédentes 1 à 6, dans lequel la durée de sélection de la matrice de démultiplexeur (54) est égale à k divisé par n .

8.- Procédé pour attaquer un panneau d'affichage à cristaux liquides de type numérique, comprenant les étapes de :

- sélection de k données numériques d'élément d'image à partir de n données numérique d'éléments d'image ;
- conversion des k données numériques d'élément d'image provenant de la matrice de multiplexeur en k signaux analogiques d'élément d'image ;
- sélection de k des n lignes de données ; et
- transfert des k signaux analogiques d'élément d'image depuis le convertisseur numérique-analogique vers les k lignes de données sélectionnées.

9.- Procédé selon la revendication 8, comprenant en outre les étapes de :

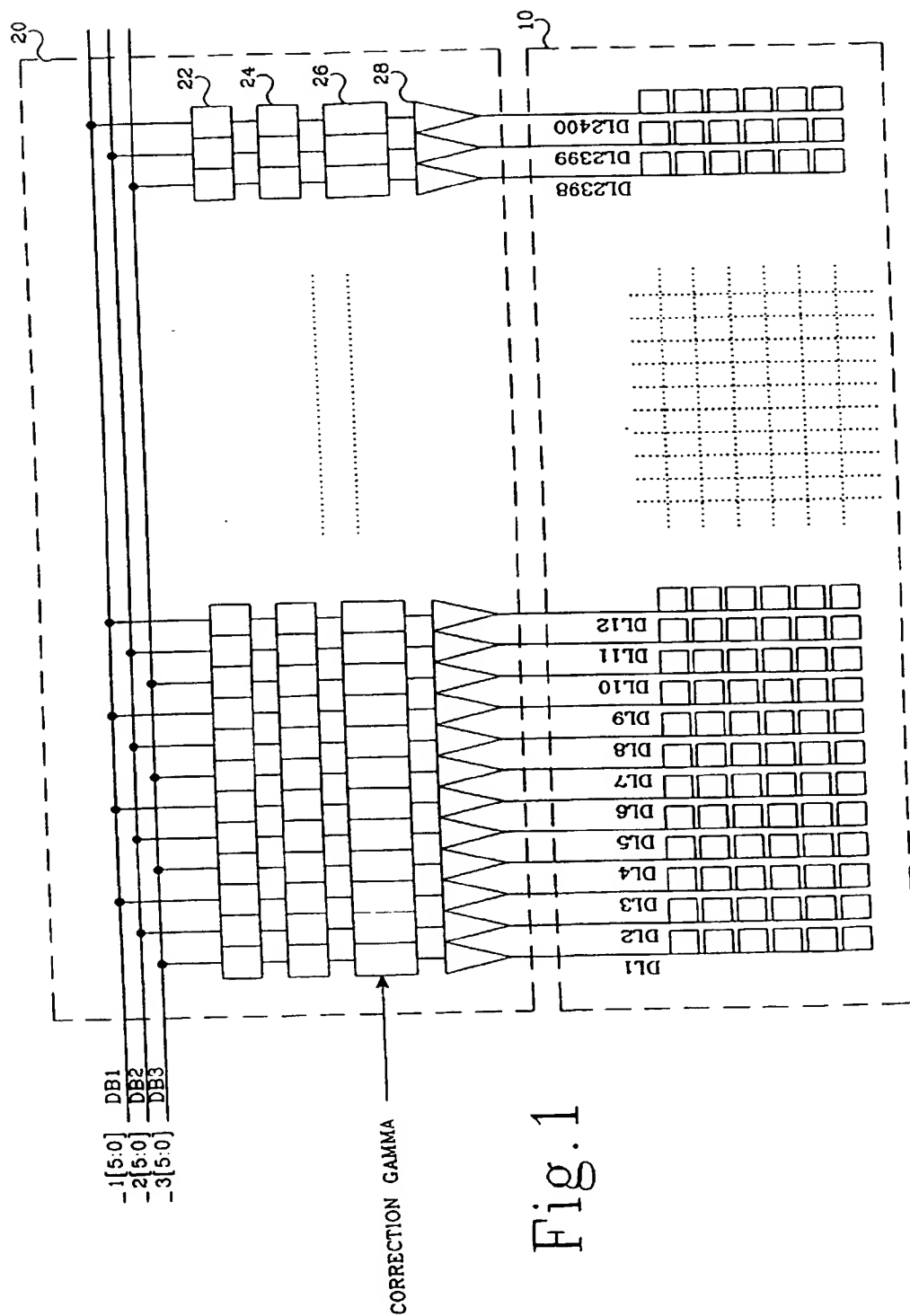
- stockage temporaire des n données numériques d'élément d'image ; et
- entrée des n données numériques d'élément d'image dans la matrice de multiplexeur.

10.- Procédé selon la revendication 8 ou 9, comprenant en outre les étapes de :

- amplification de la sortie du convertisseur numérique-analogique.

11.- Procédé selon l'une quelconque des revendications 8 à 10, dans lequel l'étape de sélection de k parmi n lignes de données comprend l'étape de :

- sélection de k parmi n lignes de données en un temps égal à k divisé par n .



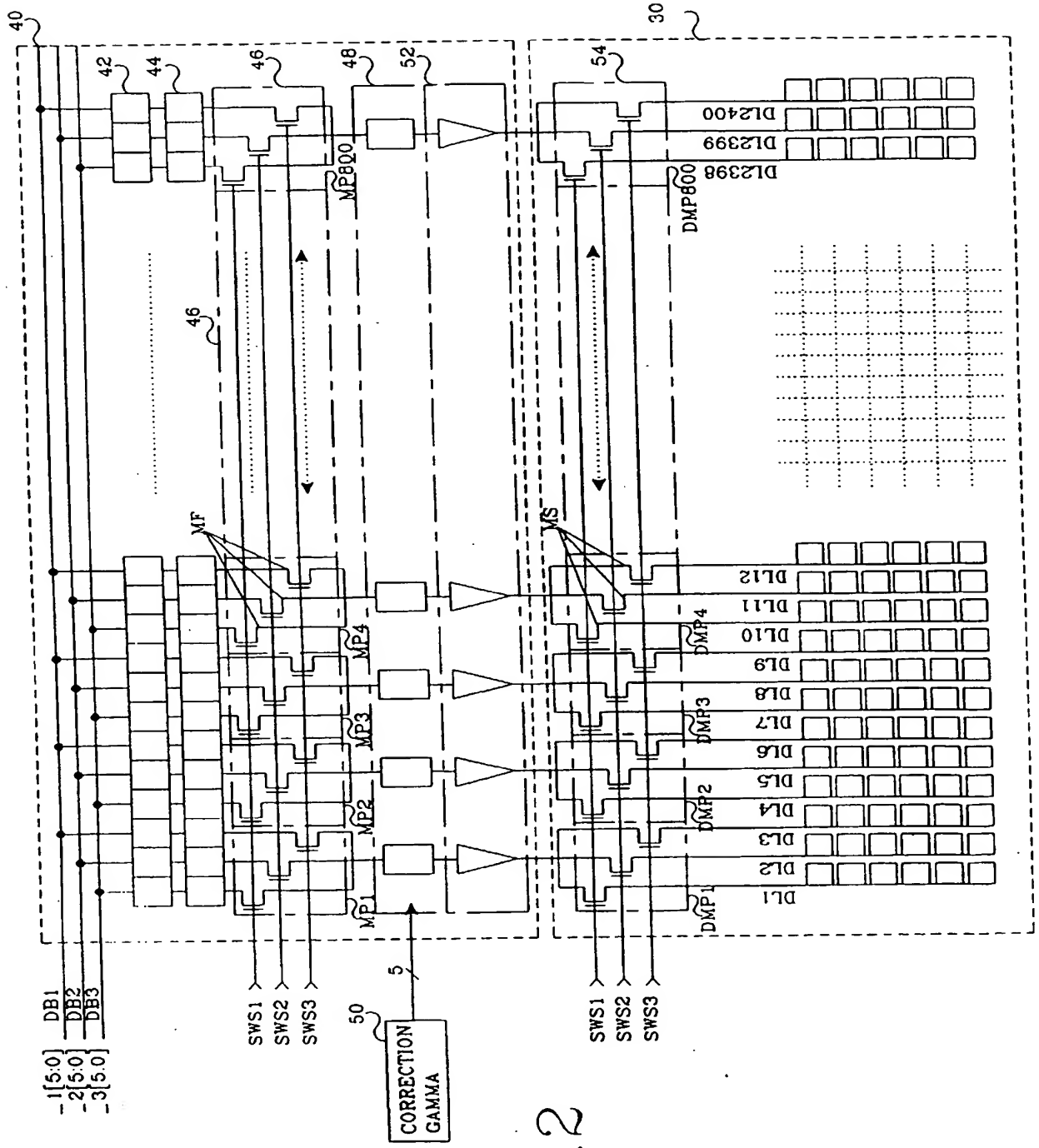


Fig. 2

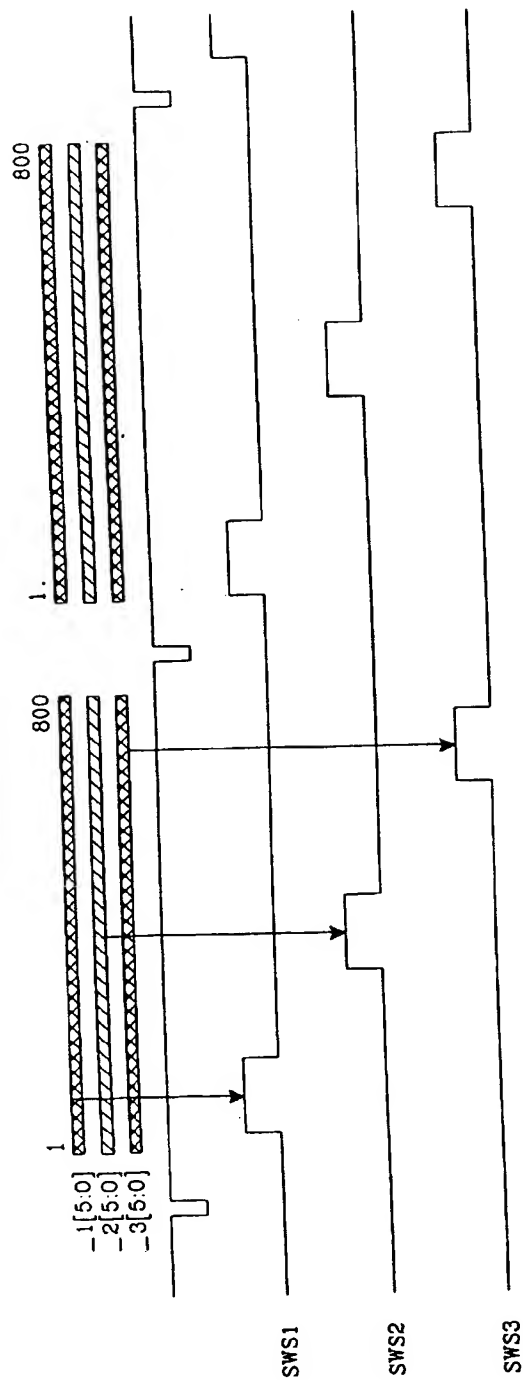


Fig.3